



ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ ΠΟΛΥΤΕΧΝΕΙΟ

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΥΠΟΛΟΓΙΣΤΩΝ

ΕΡΓΑΣΤΗΡΙΟ ΥΠΟΛΟΓΙΣΤΙΚΩΝ ΣΥΣΤΗΜΑΤΩΝ

www.cslab.ece.ntua.gr

Υλοποίηση Αλγορίθμων σε Επαναδιατάξιμες Αρχιτεκτονικές

Εργαστήριο Λειτουργικών Συστημάτων

Καθ. Γεώργιος Παπακωνσταντίνου

Περιγραφή Διπλωματικής:

Τα ακολουθιακά προγράμματα που απαιτούν μεγάλη υπολογιστική ισχύ συνήθως περιέχουν φωλιασμένους βρόχους, όπου κρύβεται ο εγγενής παραλληλισμός. Η αποδοτική παραλληλοποίηση των προγραμμάτων αυτών μπορεί να οδηγήσει σε δραστική μείωση του χρόνου εκτέλεσής τους. Συνεπώς, η δυνατότητα αυτόματης παραλληλοποίησης και απεικόνισης τους σε υλικό με επαναδιατάξιμες αρχιτεκτονικές αναμένεται να οδηγήσει σε σημαντική βελτίωση της απόδοσης του τελικού συστήματος.

Υπάρχουν κάποιοι αποτελεσματικοί αλγόριθμοι παραλληλοποίησης που εφαρμόστηκαν σε αρχιτεκτονικές υψηλής απόδοσης [3][4] και θα χρησιμοποιηθούν ως θεωρητική βάση.

Ζητείται η ανάπτυξη μεθοδολογίας για την αυτόματη παραλληλοποίηση των προγραμμάτων και την απεικόνιση τους σε επαναδιατάξιμες αρχιτεκτονικές (FPGA).

Προαπαιτούμενα:

- Γνώση γλώσσας περιγραφή υλικού (Verilog/VHDL)
- Επιθυμητό αλλά όχι απαιτούμενο: γνώσεις γενικών αρχών αρχιτεκτονικής υπολογιστών

Γνώση που θα αποκτηθεί:

- Καλή γνώση προγραμματισμού σε Verilog/VHDL
- Καλή γνώση σχεδίαση υλικού και σύγχρονων περιβαλλόντων σχεδίασης (XILINX SE)

Χρονοδιάγραμμα Διπλωματικής:

Φάση 1	Φάση 2	Φάση 3	Φάση 4	Φάση 5
Ανάγνωση βιβλιογραφίας [1],[2],[3],[4],[5],[6]	Ανάπτυξη μεθοδολογίας παραλληλοποίησης	Υλοποίηση του συστήματος σε Verilog/VHDL	Συγκέντρωση πειραματικών αποτελεσμάτων και αξιολόγηση	Συγγραφή διπλωματικής και παρουσίαση

Επικοινωνία:

Καθ. Γεώργιος Παπακωνσταντίνου (Τηλ. 210-7722494)

Υ. Δρ. Φλωρίνα Τσιόρμπα (Τηλ. 210-7722495)

Αναφορές:

- [1] D.A. Patterson, J.L. Hennessey, **Computer Organization and Design: The Hardware/Software Interface**, MK Publishers, 1998.
- [2] I. Panagopoulos, **Τεχνικές Σχεδίασης Υλικού/Λογισμικού σε Ενσωματωμένα Συστήματα**, Διδακτορική Διατριβή, Εργαστήριο Λειτουργικών Συστημάτων, 2004.
- [3] F.M. Ciorba, Θ. Ανδρόνικος, Ι. Δροσίτης, Γ. Παπακωνσταντίνου, **Ελάττωση Επικοινωνίας μέσω Δρομολόγησης με Μοτίβο Αλυσίδων**, 4^ο Συνεδρίου IEEE για Δικτυακούς Υπολογισμούς και τις Εφαρμογές τους, Καίμπριτζ, MA, 2005.
- [4] Α. Θεόδωρος, F.M. Ciorba, Θ. Παναγιώτης, Κ. Δημήτρης, Γ. Παπακωνσταντίνου, **"Αυτόματη Δημιουργία Κώδικα για Γενικούς Βρόχους με Χρήση Μεθόδων Υπολογιστικής Γεωμετρίας"**, Συνέδριο Παράλληλου και Κατανεμημένου Υπολογισμού και Συστημάτων της IASTED (PCDS 2004), Καίμπριτζ, MA, 2004
- [5] M. Bednara, J. Teich, **Automatic Synthesis of FPGA Processor Arrays from Loop Algorithms**, *The Journal of Supercomputing*, vol. 26, pp. 149-165, 2003.
- [6] S. Gupta, M. Luthra, N. Dutt, R. Gupta, A. Nicolau, **Hardware and Interface Synthesis of FPGA Blocks using Parallelizing Code Transformations**, *IASTED Parallel and Distributed Computing and Systems Conference (PCDS'03)*, pp. 904-909, Marina del Rey, CA, November 3-5, 2003