

# Λύση 3ης άσκησης (Αλγόριθμος Tomasulo)

# Μέρος Α: χωρίς ROB

**Instruction**

L.D      F2      j      k  
 0      R1

IF	ID	IS	EX	WB
1				

	Busy	Address
Load1		
Load2		
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```
foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
```

**Res. Stations**

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
1		Add1						
		Add2						
		Add3						
		Add4						
		Mul1						
		Mul2						
		Mul3						
		Mul4						
		Int1						
		Int2						
		Int3						
		Int4						
		Int5						

**Reg. res.status**

Qi	F2	F4	F6	F8	F10	R1

### Instruction

L.D	F2	0	R1
L.D	F4	8	R1

IF	ID	IS	EX	WB
1	2			
2				

Busy	Address
Load1	
Load2	
Load3	
Load4	
Load5	

Busy	Address	Qi
Store1		
Store2		
Store3		
Store4		
Store5		

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D   F6      F2      F4
      MUL.D   F8      F6      F6
      ADD.D   F6      F2      F4
      MUL.D   F10     F6      F6
      S.D     F8      0(R1)
      S.D     F10     8(R1)
      DADDI  R1      R1      #16
      BNEZ   R1      foo
    
```

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
Clock 2	Add1						
	Add2						
	Add3						
	Add4						
Clock 2	Mul1						
	Mul2						
	Mul3						
	Mul4						
Clock 2	Int1						
	Int2						
	Int3						
	Int4						
	Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1

### Instruction

Instruction		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4

IF	ID	IS	EX	WB
1	2	3		
2	3			
3				

	Busy	Address
Load1	Yes	M[0+R1]
Load2		
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

Clock 3

Time

Name	Busy	Op	Vj	Vk	Qj	Qk
Add1						
Add2						
Add3						
Add4						
Mul1						
Mul2						
Mul3						
Mul4						
Int1						
Int2						
Int3						
Int4						
Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
	Load1					

### Instruction

Instruction		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6

IF	ID	IS	EX	WB
1	2	3	4	
2	3	4		
3	4			
4				

	Busy	Address
Load1	Yes	M[0+R1]
Load2	Yes	M[8+R1]
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
     L.D      F4      8(R1)
     DIV.D    F6      F2      F4
     MUL.D    F8      F6      F6
     ADD.D    F6      F2      F4
     MUL.D    F10     F6      F6
     S.D      F8      0(R1)
     S.D      F10     8(R1)
     DADDI    R1      R1      #16
     BNEZ    R1      foo
    
```

### Res. Stations

Clock 4

Time Name

Add1

Add2

Add3

Add4

Mul1

Mul2

Mul3

Mul4

Int1

Int2

Int3

Int4

Int5

Busy	Op	Vj	Vk	Qj	Qk

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi	Load1	Load2				

### Instruction

Instruction		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4

IF	ID	IS	EX	WB
1	2	3	4-4	5
2	3	4	5	
3	4	5		
4	5			
5				

	Busy	Address
Load1	No	
Load2	Yes	M[8+R1]
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

Clock 5

Time	Name
	Add1
	Add2
	Add3
	Add4
	Mul1
	Mul2
	Mul3
	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
Yes	div.d	M[0+R1]			Load2

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
		Load2	Mul1			

### Instruction

Instruction		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5		
4	5	6		
5	6			
6				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

**Clock 6**

Time	Name
	Add1
	Add2
	Add3
	Add4
15	Mul1
	Mul2
	Mul3
	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
Yes	div.d	M[0+R1]	M[8+R1]	Mul1	Mul1
Yes	mul.d				

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Mul1	Mul2		



### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
<b>DIV.D</b>	<b>F6</b>	<b>F2</b>	<b>F4</b>
<b>MUL.D</b>	<b>F8</b>	<b>F6</b>	<b>F6</b>
<b>ADD.D</b>	<b>F6</b>	<b>F2</b>	<b>F4</b>
MUL.D	F10	F6	F6
S.D	F8	0	R1

	IF	ID	IS	EX	WB
	1	2	3	4-4	5
	2	3	4	5-5	6
	3	4	5	7	
	4	5	6		
	5	6	<b>7</b>		
	6	7			
	7				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
7	4	Add1	Yes	add.d	R[F2]	R[F4]		
		Add2						
		Add3						
		Add4						
	14	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
		Mul3						
		Mul4						
		Int1						
		Int2						
		Int3						
		Int4						
		Int5						

- WAW hazard μεταξύ DIV.D & ADD.D: ο F6 μετονομάζεται σε "Add1"

- η μετονομασία αυτή επιλύει και το WAR hazard μεταξύ MUL.D & ADD.D

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Add1	Mul2		

### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1

IF	ID	IS	EX	WB
1	2	3	4-4	5
2	3	4	5-5	6
3	4	5	7	
4	5	6		
5	6	7	8	
6	7	8		
7	8			
8				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1			
Store2			
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
8	3	Add1	Yes	add.d	R[F2]	R[F4]		
		Add2						
		Add3						
		Add4						
	13	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
		Mul3	Yes	mul.d			Add1	Add1
		Mul4						
		Int1						
		Int2						
		Int3						
		Int4						
		Int5						

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Add1	Mul2	Mul3	

### Instruction

Instruction		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16

IF	ID	IS	EX	WB
1	2	3	4-4	5
2	3	4	5-5	6
3	4	5	7	
4	5	6		
5	6	7	8	
6	7	8		
7	8	9		
8	9			
9				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2			
Store3			
Store4			
Store5			

foo:	Op	Op	Op	Op
L.D	F2	0(R1)		
L.D	F4	8(R1)		
DIV.D	F6	F2	F4	
MUL.D	F8	F6	F6	
ADD.D	F6	F2	F4	
MUL.D	F10	F6	F6	
S.D	F8	0(R1)		
S.D	F10	8(R1)		
DADDI	R1	R1	#16	
BNEZ	R1	foo		

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
9	2	Add1	Yes	add.d	R[F2]	R[F4]		
		Add2						
		Add3						
		Add4						
	12	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
		Mul3	Yes	mul.d			Add1	Add1
		Mul4						
		Int1						
		Int2						
		Int3						
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Add1	Mul2	Mul3	

### Instruction

Instruction		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	

IF	ID	IS	EX	WB
1	2	3	4-4	5
2	3	4	5-5	6
3	4	5	7	
4	5	6		
5	6	7	8	
6	7	8		
7	8	9		
8	9	10		
9	10			
10				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ    R1      foo
    
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
10	1	Add1	Yes	add.d	R[F2]	R[F4]		
		Add2						
		Add3						
		Add4						
	11	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
		Mul3	Yes	mul.d			Add1	Add1
		Mul4						
		Int1						
		Int2						
		Int3						
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
		Add1	Mul2	Mul3		

### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	
6	7	8		
7	8	9		
8	9	10		
9	10	11		
10	11			
11				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
11	0	Add1	Yes	add.d	R[F2]	R[F4]		
		Add2						
		Add3						
		Add4						
	10	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
		Mul3	Yes	mul.d			Add1	Add1
		Mul4						
	1	Int1	Yes	daddi	R[R1]	#8		
		Int2						
		Int3						
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
		Add1	Mul2	Mul3	Int1	

### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	
L.D	F2	0	R1
L.D	F4	8	R1

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8		
7	8	9		
8	9	10		
9	10	11	12	
10	11	12		
11	12			
12				

	Busy	Address
Load1	No	
Load2	No	
Load3		
Load4		
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
  
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
12		Add1	No					
		Add2						
		Add3						
		Add4						
	9	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
	15	Mul3	Yes	mul.d	R[F6]	R[F6]		
		Mul4						
	0	Int1	Yes	daddi	R[R1]	#8		
		Int2	Yes	bnez		foo	Int1	
		Int3						
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
				Mul2	Mul3	Int1

### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12		
11	12	13		
12	13			
13				

	Busy	Address
Load1	No	
Load2	No	
Load3	Yes	M[0+R1]
Load4		
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
13		Add1	No					
		Add2						
		Add3						
		Add4						
	8	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
		Mul2	Yes	mul.d			Mul1	Mul1
	14	Mul3	Yes	mul.d	R[F6]	R[F6]		
		Mul4						
		Int1	No					
	1	Int2	Yes	bnez	R[R1]	foo		
		Int3						
		Int4						
		Int5						

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi	Load3			Mul2	Mul3	

### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F4
MUL.D	F8	F6
ADD.D	F6	F4
MUL.D	F10	F6
S.D	F8	R1
S.D	F10	R1
DADDI	R1	#16
BNEZ	R1	foo
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F4
MUL.D	F8	F6

IF	ID	IS	EX	WB
1	2	3	4-4	5
2	3	4	5-5	6
3	4	5	7	
4	5	6		
5	6	7	8-11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12-12	13
10	11	12	14	
11	12	13	14	
12	13	14		
13	14			
14				

	Busy	Address
Load1	No	
Load2	No	
Load3	Yes	M[0+R1]
Load4	Yes	M[8+R1]
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
  
```

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
	Add1	No					
	Add2						
	Add3						
	Add4						
7	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
	Mul2	Yes	mul.d			Mul1	Mul1
13	Mul3	Yes	mul.d	R[F6]	R[F6]		
	Mul4						
	Int1	No					
0	Int2	Yes	bnez	R[R1]	foo		
	Int3						
	Int4						
	Int5						

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi	Load3	Load4		Mul2	Mul3	



### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15	
13	14	15		
14	15			
15				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	Yes	M[8+R1]
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
	Add1	No					
	Add2						
	Add3						
	Add4						
6	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
	Mul2	Yes	mul.d			Mul1	Mul1
12	Mul3	Yes	mul.d	R[F6]	R[F6]		
	Mul4	Yes	div.d	M[0+R1]			Load4
	Int1	No					
	Int2	No					
	Int3						
	Int4						
	Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
		Load4	Mul4	Mul2	Mul3	

### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15		
14	15			
15	16			
16				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

**Clock 16**

Time	Name
	Add1
	Add2
	Add3
	Add4
5	Mul1
	Mul2
11	Mul3
15	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	div.d	M[0+R1]	M[8+R1]		
Yes	mul.d			Mul1	Mul1
Yes	mul.d	R[F6]	R[F6]		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

- η 3η MUL δε μπορεί να γίνει issue, αφού οι αντίστοιχοι RS είναι γεμάτοι

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Mul4	Mul2	Mul3	

### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1

	IF	ID	IS	EX	WB
	1	2	3	4-4	5
	2	3	4	5-5	6
	3	4	5	7	
	4	5	6		
	5	6	7	8-11	12
	6	7	8	13	
	7	8	9		
	8	9	10		
	9	10	11	12-12	13
	10	11	12	14-14	15
	11	12	13	14-14	15
	12	13	14	15-15	16
	13	14	15		
	14	15			
	15	16			
	16	17			
	17				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock 17

Time	Name
	Add1
	Add2
	Add3
	Add4
4	Mul1
	Mul2
10	Mul3
15	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

	Busy	Op	Vj	Vk	Qj	Qk
	No					
4	Yes	div.d	M[0+R1]	M[8+R1]		
	Yes	mul.d			Mul1	Mul1
10	Yes	mul.d	R[F6]	R[F6]		
15	Yes	div.d	M[0+R1]	M[8+R1]		
	No					
	No					

- η 3η MUL δε μπορεί να γίνει issue, αφού οι αντίστοιχοι RS είναι γεμάτοι

- ούτε η επόμενη της μπορεί να γίνει issue...

- η 2η DIV δε μπορεί να αρχίσει να εκτελείται, αφού οι 2 μονάδες ήδη χρησιμοποιούνται

(οι επόμενες εντολές μπορούν να συνεχίσουν να γίνονται fetch, decode, υποθέτοντας ότι γίνονται buffer σε αντίστοιχες ουρές)

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Mul4	Mul2	Mul3	

### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15		
14	15			
15	16			
16	17			
17	18			
18				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ    R1      foo
    
```

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
	Add1	No					
	Add2						
	Add3						
	Add4						
3	Mul1	Yes	div.d	M[0+R1]	M[8+R1]		
	Mul2	Yes	mul.d			Mul1	Mul1
9	Mul3	Yes	mul.d	R[F6]	R[F6]		
15	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
	Int1	No					
	Int2	No					
	Int3						
	Int4						
	Int5						

- η 3η MUL δε μπορεί να γίνει issue, αφού οι αντίστοιχοι RS είναι γεμάτοι  
 - ούτε η επόμενη της μπορεί να γίνει issue...  
 - η 2η DIV δε μπορεί να αρχίσει να εκτελείται, αφού οι 2 μονάδες ήδη χρησιμοποιούνται

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Mul4	Mul2	Mul3	

### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15		
14	15			
15	16			
16	17			
17	18			
18	19			
19				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D    F2    0(R1)
      L.D    F4    8(R1)
      DIV.D  F6    F2    F4
      MUL.D  F8    F6    F6
      ADD.D  F6    F2    F4
      MUL.D  F10   F6    F6
      S.D    F8    0(R1)
      S.D    F10   8(R1)
      DADDI  R1    R1    #16
      BNEZ   R1    foo
    
```

### Res. Stations

**Clock 19**

Time	Name
	Add1
	Add2
	Add3
	Add4
2	Mul1
	Mul2
8	Mul3
15	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	div.d	M[0+R1]	M[8+R1]		
Yes	mul.d			Mul1	Mul1
Yes	mul.d	R[F6]	R[F6]		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

- η 3η MUL δε μπορεί να γίνει issue, αφού οι αντίστοιχοι RS είναι γεμάτοι  
 - ούτε η επόμενη της μπορεί να γίνει issue...  
 - η 2η DIV δε μπορεί να αρχίσει να εκτελείται, αφού οι 2 μονάδες ήδη χρησιμοποιούνται

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Mul4	Mul2	Mul3	

### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F4
MUL.D	F8	F6
ADD.D	F6	F4
MUL.D	F10	F6
S.D	F8	R1
S.D	F10	R1
DADDI	R1	#16
BNEZ	R1	foo
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F4
MUL.D	F8	F6
ADD.D	F6	F4
MUL.D	F10	F6
S.D	F8	R1
S.D	F10	R1
DADDI	R1	#16
BNEZ	R1	foo

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15		
14	15			
15	16			
16	17			
17	18			
18	19			
19	20			
20				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
    
```

### Res. Stations

**Clock 20**

Time	Name
	Add1
	Add2
	Add3
	Add4
1	Mul1
	Mul2
7	Mul3
15	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	div.d	M[0+R1]	M[8+R1]		
Yes	mul.d			Mul1	Mul1
Yes	mul.d	R[F6]	R[F6]		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

- η 3η MUL δε μπορεί να γίνει issue, αφού οι αντίστοιχοι RS είναι γεμάτοι  
 - ούτε η επόμενη της μπορεί να γίνει issue...  
 - η 2η DIV δε μπορεί να αρχίσει να εκτελείται, αφού οι 2 μονάδες ήδη χρησιμοποιούνται

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Mul4	Mul2	Mul3	

### Instruction

Instruction	j	k
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15		
14	15			
15	16			
16	17			
17	18			
18	19			
19	20			
20	21			
21				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock	Time	Name
21		Add1
		Add2
		Add3
		Add4
0		Mul1
		Mul2
6		Mul3
15		Mul4
		Int1
		Int2
		Int3
		Int4
		Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	div.d	M[0+R1]	M[8+R1]	Mul1	Mul1
Yes	mul.d	R[F6]	R[F6]		
Yes	mul.d	M[0+R1]	M[8+R1]		
Yes	div.d				
No					
No					

- η 1η DIV τελειώνει την εκτέλεσή της - από τον επόμενο κύκλο η 2η DIV θα μπορεί να αρχίσει να εκτελείται

- η 3η MUL δε μπορεί να γίνει issue, αφού οι αντίστοιχοι RS είναι γεμάτοι  
- ούτε η επόμενη της μπορεί να γίνει issue...

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Mul4	Mul2	Mul3	

## Instruction

Instruction	j	k
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15			
15	16			
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

## Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
22		Add1	No					
		Add2						
		Add3						
		Add4						
		Mul1	No					
	15	Mul2	Yes	mul.d	R[F6]	R[F6]		
	5	Mul3	Yes	mul.d	R[F6]	R[F6]		
	14	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3						
		Int4						
		Int5						

- η 1η DIV απελευθερώνει τον RS - από τον επόμενο κύκλο η 3η MUL θα μπορεί να γίνει issue

- η 1η MUL έχει πλέον έτοιμα τα ορίσματα όμως δεν μπορεί να αρχίσει να εκτελείται, καθώς η μονάδες είναι κατειλημμένες

- η 2η DIV αρχίζει να εκτελείται

## Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Mul4	Mul2	Mul3	



### Instruction

Instruction	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16			
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock 23

Time	Name
	Add1
	Add2
	Add3
	Add4
	Mul1
15	Mul2
4	Mul3
13	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	mul.d			Mul4	Mul4
Yes	mul.d	R[F6]	R[F6]		
Yes	mul.d	R[F6]	R[F6]		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

- η 1η MUL έχει πλέον έτοιμα τα ορίσματα όμως δεν μπορεί να αρχίσει να εκτελείται, καθώς η μονάδες είναι κατηλειμένες

- η 3η MUL γίνεται issue  
- WAW hazard ανάμεσα στην 3η MUL και την 1η MUL: ο F8 μετονομάζεται σε "Mul1"

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Mul4	Mul1	Mul3	

### Instruction

		j	k
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0	R1
S.D	F10	8	R1
DADDI	R1	R1	#16
BNEZ	R1	foo	
L.D	F2	0	R1
L.D	F4	8	R1
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16	24		
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23	24			
24				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock 24

Time	Name
4	Add1
	Add2
	Add3
	Add4
15	Mul1
3	Mul2
12	Mul3
	Mul4
	Int1
	Int2
	Int3
	Int4
	Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	add	R{F2}	R{F4}		
Yes	mul.d	R{F6}	R{F6}	Mul4	Mul4
Yes	mul.d	R{F6}	R{F6}		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

- η 1η MUL έχει πλέον έτοιμα τα ορίσματα όμως δεν μπορεί να αρχίσει να εκτελείται, καθώς η μονάδες είναι κατηλιμμένες

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Add2	Mul1	Mul3	

### Instruction

	j	k
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16	24	25	
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23	24			
24	25			
25				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)  
 L.D F4 8(R1)  
 DIV.D F6 F2 F4  
 MUL.D F8 F6 F6  
 ADD.D F6 F2 F4  
 MUL.D F10 F6 F6  
 S.D F8 0(R1)  
 S.D F10 8(R1)  
 DADDI R1 R1 #16  
 BNEZ R1 foo

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
25	3	Add1	No					
		Add2	Yes	add	R{F2}	R[F4]		
		Add3						
		Add4						
	15	Mul1	Yes	mul.d			Mul4	Mul4
		Mul2	Yes	mul.d	R[F6]	R[F6]		
	2	Mul3	Yes	mul.d	R[F6]	R[F6]		
	11	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3						
		Int4						
		Int5						

- η 1η MUL έχει πλέον έτοιμα τα ορίσματα όμως δεν μπορεί να αρχίσει να εκτελείται, καθώς η μονάδες είναι κατηλειμένες

- η 4η MUL δε μπορεί να γίνει issue, αφού δεν υπάρχουν διαθέσιμα Rss

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Add2	Mul1	Mul3	

### Instruction

Instruction	j	k
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6		
5	6	7	8 - 11	12
6	7	8	13	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16	24	25	
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23	24			
24	25			
25	26			
26				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
2	Add1	No					
	Add2	Yes	add	R{F2}	R{F4}		
	Add3						
	Add4						
15	Mul1	Yes	mul.d			Mul4	Mul4
	Mul2	Yes	mul.d	R{F6}	R{F6}		
1	Mul3	Yes	mul.d	R{F6}	R{F6}		
10	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
	Int1	No					
	Int2	No					
	Int3						
	Int4						
	Int5						

- η 1η MUL έχει πλέον έτοιμα τα ορίσματα όμως δεν μπορεί να αρχίσει να εκτελείται, καθώς η μονάδες είναι κατηλιμμένες

- η 4η MUL δε μπορεί να γίνει issue, αφού δεν υπάρχουν διαθέσιμα Rss

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Add2	Mul1	Mul3	

### Instruction

	j	k
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6		
5	6	7	8 - 11	12
6	7	8	13 - 27	
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16	24	25	
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23	24			
24	25			
25	26			
26	27			
27				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	Mul3
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock	Time	Name
27		Add1
	1	Add2
		Add3
		Add4
	15	Mul1
	0	Mul2
		Mul3
	9	Mul4
		Int1
		Int2
		Int3
		Int4
		Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
Yes	add	R{F2}	R{F4}		
Yes	mul.d	R{F6}	R{F6}	Mul4	Mul4
Yes	mul.d	R{F6}	R{F6}		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

- η 2η MUL ολοκληρώνει την εκτέλεσή της - η 1η MUL που περιμένει θα αρχίσει από τον επόμενο κύκλο

- η 4η MUL δε μπορεί να γίνει issue, αφού δεν υπάρχουν διαθέσιμα Rss

### Reg. res.status

	F2	F4	F6	F8	F10	R1
Qi			Add2	Mul1	Mul3	

### Instruction

	j	k
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6	28	
5	6	7	8 - 11	12
6	7	8	13 - 27	28
7	8	9		
8	9	10		
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16	24	25	
16	17			
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23	24			
24	25			
25	26			
26	27			
27	28			
28				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	
Store3			
Store4			
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
28	0	Add1	No					
		Add2	Yes	add	R{F2}	R{F4}		
		Add3						
		Add4						
	14	Mul1	Yes	mul.d			Mul4	Mul4
		Mul2	Yes	mul.d	R{F6}	R{F6}		
		Mul3	No					
	8	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3						
		Int4						
		Int5						

- η 4η MUL θα γίνει issue στον επόμενο κύκλο

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Add2	Mul1		

### Instruction

	j	k
L.D	F2	R1
L.D	F4	R1
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1
BNEZ	R1	foo
L.D	F2	0
L.D	F4	8
DIV.D	F6	F2
MUL.D	F8	F6
ADD.D	F6	F2
MUL.D	F10	F6
S.D	F8	0
S.D	F10	8
DADDI	R1	R1

IF	ID	IS	EX	WB
1	2	3	4 - 4	5
2	3	4	5 - 5	6
3	4	5	7 - 21	22
4	5	6	28	
5	6	7	8 - 11	12
6	7	8	13 - 27	28
7	8	9		
8	9	10	29	
9	10	11	12 - 12	13
10	11	12	14 - 14	15
11	12	13	14 - 14	15
12	13	14	15 - 15	16
13	14	15	22	
14	15	23		
15	16	24	25 - 28	29
16	17	29		
17	18			
18	19			
19	20			
20	21			
21	22			
22	23			
23	24			
24	25			
25	26			
26	27			
27	28			
28	29			
29				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	Yes	M[8+R1]	
Store3			
Store4			
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

### Res. Stations

Clock	Time	Name
29		Add1
		Add2
		Add3
		Add4
		Mul1
	13	Mul2
	15	Mul3
	7	Mul4
		Int1
		Int2
		Int3
		Int4
		Int5

Busy	Op	Vj	Vk	Qj	Qk
No					
No					
Yes	mul.d			Mul4	Mul4
Yes	mul.d	R[F6]	R[F6]		
Yes	mul.d	R[F6]	R[F6]		
Yes	div.d	M[0+R1]	M[8+R1]		
No					
No					

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
				Mul1	Mul3	

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	0	1	2	3	4-4	5
L.D	F4	8	2	3	4	5-5	6
DIV.D	F6	F2	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F2	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	0	7	8	9		
S.D	F10	8	8	9	10	29-29	30
DADDI	R1	R1	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	0	11	12	13	14-14	15
L.D	F4	8	12	13	14	15-15	16
DIV.D	F6	F2	13	14	15	22	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F2	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	0	17	18	30		
S.D	F10	8	18	19			
DADDI	R1	R1	19	20			
BNEZ	R1	foo	20	21			
L.D	F2	0	21	22			
L.D	F4	8	22	23			
DIV.D	F6	F2	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F2	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	0	27	28			
S.D	F10	8	28	29			
DADDI	R1	R1	29	30			
BNEZ	R1	foo	30				

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4			
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
  
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
30		Add1	No					
		Add2	No					
		Add3						
		Add4						
		Mul1	Yes	mul.d			Mul4	Mul4
	12	Mul2	Yes	mul.d	R[F6]	R[F6]		
	15	Mul3	Yes	mul.d	R[F6]	R[F6]		
	6	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3						
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
				Mul1	Mul3	



Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4-4	5
L.D	F4	R1	2	3	4	5-5	6
DIV.D	F6	F4	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F4	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	R1	7	8	9		
S.D	F10	R1	8	9	10	29-29	30
DADDI	R1	#16	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	R1	11	12	13	14-14	15
L.D	F4	R1	12	13	14	15-15	16
DIV.D	F6	F4	13	14	15	22	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F4	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	R1	17	18	30		
S.D	F10	R1	18	19	31		
DADDI	R1	#16	19	20			
BNEZ	R1	foo	20	21			
L.D	F2	R1	21	22			
L.D	F4	R1	22	23			
DIV.D	F6	F4	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F4	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	R1	27	28			
S.D	F10	R1	28	29			
DADDI	R1	#16	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ    R1      foo
  
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
31		Add1	No					
		Add2	No					
		Add3						
		Add4						
		Mul1	Yes	mul.d			Mul4	Mul4
	11	Mul2	Yes	mul.d	R[F6]	R[F6]		
	15	Mul3	Yes	mul.d	R[F6]	R[F6]		
	5	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3						
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
				Mul1	Mul3	

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	0	1	2	3	4-4	5
L.D	F4	8	2	3	4	5-5	6
DIV.D	F6	F2	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F2	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	0	7	8	9		
S.D	F10	8	8	9	10	29-29	30
DADDI	R1	R1	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	0	11	12	13	14-14	15
L.D	F4	8	12	13	14	15-15	16
DIV.D	F6	F2	13	14	15	22	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F2	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	0	17	18	30		
S.D	F10	8	18	19	31		
DADDI	R1	R1	19	20	32		
BNEZ	R1	foo	20	21			
L.D	F2	0	21	22			
L.D	F4	8	22	23			
DIV.D	F6	F2	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F2	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	0	27	28			
S.D	F10	8	28	29			
DADDI	R1	R1	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5		

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
  
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
32		Add1	No					
		Add2	No					
		Add3						
		Add4						
	10	Mul1	Yes	mul.d			Mul4	Mul4
	15	Mul2	Yes	mul.d	R[F6]	R[F6]		
		Mul3	Yes	mul.d	R[F6]	R[F6]		
	4	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3	Yes	daddi	R[R1]	#16		
		Int4						
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
				Mul1	Mul3	Int1

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4-4	5
L.D	F4	R1	2	3	4	5-5	6
DIV.D	F6	F4	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F4	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	R1	7	8	9		
S.D	F10	R1	8	9	10	29-29	30
DADDI	R1	#16	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	R1	11	12	13	14-14	15
L.D	F4	R1	12	13	14	15-15	16
DIV.D	F6	F4	13	14	15	22	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F4	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	R1	17	18	30		
S.D	F10	R1	18	19	31		
DADDI	R1	#16	19	20	32	33	
BNEZ	R1	foo	20	21	33		
L.D	F2	R1	21	22			
L.D	F4	R1	22	23			
DIV.D	F6	F4	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F4	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	R1	27	28			
S.D	F10	R1	28	29			
DADDI	R1	#16	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D    F6      F2      F4
      MUL.D    F8      F6      F6
      ADD.D    F6      F2      F4
      MUL.D    F10     F6      F6
      S.D      F8      0(R1)
      S.D      F10     8(R1)
      DADDI    R1      R1      #16
      BNEZ     R1      foo
  
```

**Res. Stations**

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
33		Add1	No					
		Add2	No					
		Add3						
		Add4						
	9	Mul1	Yes	mul.d			Mul4	Mul4
	15	Mul2	Yes	mul.d	R[F6]	R[F6]		
	3	Mul3	Yes	mul.d	R[F6]	R[F6]		
		Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3	Yes	daddi	R[R1]	#16		
		Int4	Yes	bnez		foo	Int1	
		Int5						

**Reg. res.status**

Qi	F2	F4	F6	F8	F10	R1
				Mul1	Mul3	Int1

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4-4	5
L.D	F4	R1	2	3	4	5-5	6
DIV.D	F6	F2	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F2	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	0	7	8	9		
S.D	F10	8	8	9	10	29-29	30
DADDI	R1	R1	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	0	11	12	13	14-14	15
L.D	F4	8	12	13	14	15-15	16
DIV.D	F6	F2	13	14	15	22	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F2	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	0	17	18	30		
S.D	F10	8	18	19	31		
DADDI	R1	R1	19	20	32	33-33	34
BNEZ	R1	foo	20	21	33		
L.D	F2	0	21	22	34		
L.D	F4	8	22	23			
DIV.D	F6	F2	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F2	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	0	27	28			
S.D	F10	8	28	29			
DADDI	R1	R1	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	Yes	M[0+R1]

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
34	Add1	No					
	Add2	No					
	Add3						
	Add4						
8	Mul1	Yes	mul.d			Mul4	Mul4
15	Mul2	Yes	mul.d	R[F6]	R[F6]		
	Mul3	Yes	mul.d	R[F6]	R[F6]		
2	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
	Int1	No					
	Int2	No					
	Int3	No					
	Int4	Yes	bnez	R[R1]	foo		
	Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
	Load5			Mul1	Mul3	

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	0	1	2	3	4 - 4	5
L.D	F4	8	2	3	4	5 - 5	6
DIV.D	F6	F2	3	4	5	7 - 21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F2	5	6	7	8 - 11	12
MUL.D	F10	F6	6	7	8	13 - 27	28
S.D	F8	0	7	8	9		
S.D	F10	8	8	9	10	29 - 29	30
DADDI	R1	R1	9	10	11	12 - 12	13
BNEZ	R1	foo	10	11	12	14 - 14	15
L.D	F2	0	11	12	13	14 - 14	15
L.D	F4	8	12	13	14	15 - 15	16
DIV.D	F6	F2	13	14	15	22	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F2	15	16	24	25 - 28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	0	17	18	30		
S.D	F10	8	18	19	31		
DADDI	R1	R1	19	20	32	33 - 33	34
BNEZ	R1	foo	20	21	33		
L.D	F2	0	21	22	34	35	
L.D	F4	8	22	23	35		
DIV.D	F6	F2	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F2	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	0	27	28			
S.D	F10	8	28	29			
DADDI	R1	R1	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	Yes	M[0+R8]
Load2	No	
Load3	No	
Load4	No	
Load5	Yes	M[0+R1]

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

```

foo: L.D    F2    0(R1)
      L.D    F4    8(R1)
      DIV.D  F6    F2    F4
      MUL.D  F8    F6    F6
      ADD.D  F6    F2    F4
      MUL.D  F10   F6    F6
      S.D    F8    0(R1)
      S.D    F10   8(R1)
      DADDI  R1    R1    #16
      BNEZ   R1    foo
  
```

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
35		Add1	No					
		Add2	No					
		Add3						
		Add4						
	7	Mul1	Yes	mul.d			Mul4	Mul4
	15	Mul2	Yes	mul.d	R[F6]	R[F6]		
		Mul3	Yes	mul.d	R[F6]	R[F6]		
	1	Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3	No					
		Int4	Yes	bnez	R[R1]	foo		
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
	Load5	Load1		Mul1	Mul3	

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4 - 4	5
L.D	F4	R1	2	3	4	5 - 5	6
DIV.D	F6	F4	3	4	5	7 - 21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F4	5	6	7	8 - 11	12
MUL.D	F10	F6	6	7	8	13 - 27	28
S.D	F8	R1	7	8	9		
S.D	F10	R1	8	9	10	29 - 29	30
DADDI	R1	#16	9	10	11	12 - 12	13
BNEZ	R1	foo	10	11	12	14 - 14	15
L.D	F2	R1	11	12	13	14 - 14	15
L.D	F4	R1	12	13	14	15 - 15	16
DIV.D	F6	F4	13	14	15	22 - 36	
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F4	15	16	24	25 - 28	29
MUL.D	F10	F6	16	17	29		
S.D	F8	R1	17	18	30		
S.D	F10	R1	18	19	31		
DADDI	R1	#16	19	20	32	33 - 33	34
BNEZ	R1	foo	20	21	33		
L.D	F2	R1	21	22	34	35 - 35	36
L.D	F4	R1	22	23	35	36	
DIV.D	F6	F4	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F4	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	R1	27	28			
S.D	F10	R1	28	29			
DADDI	R1	#16	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	Yes	M[0+R8]
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
36		Add1	No					
		Add2	No					
		Add3						
		Add4						
	6	Mul1	Yes	mul.d			Mul4	Mul4
	15	Mul2	Yes	mul.d	R[F6]	R[F6]		
	0	Mul3	Yes	mul.d	R[F6]	R[F6]		
		Mul4	Yes	div.d	M[0+R1]	M[8+R1]		
		Int1	No					
		Int2	No					
		Int3	No					
		Int4	Yes	bnez	R[R1]	foo		
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
		Load1		Mul1	Mul3	

### Instruction

	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4-4	5
L.D	F4	R1	2	3	4	5-5	6
DIV.D	F6	F4	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F4	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	R1	7	8	9		
S.D	F10	R1	8	9	10	29-29	30
DADDI	R1	#16	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	R1	11	12	13	14-14	15
L.D	F4	R1	12	13	14	15-15	16
DIV.D	F6	F4	13	14	15	22-36	37
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F4	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29	37	
S.D	F8	R1	17	18	30		
S.D	F10	R1	18	19	31		
DADDI	R1	#16	19	20	32	33-33	34
BNEZ	R1	foo	20	21	33		
L.D	F2	R1	21	22	34	35-35	36
L.D	F4	R1	22	23	35	36-36	
DIV.D	F6	F4	23	24			
MUL.D	F8	F6	24	25			
ADD.D	F6	F4	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	R1	27	28			
S.D	F10	R1	28	29			
DADDI	R1	#16	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	Yes	M[0+R8]
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

foo: L.D F2 0(R1)

L.D F4 8(R1)

DIV.D F6 F2 F4

MUL.D F8 F6 F6

ADD.D F6 F2 F4

MUL.D F10 F6 F6

S.D F8 0(R1)

S.D F10 8(R1)

DADDI R1 R1 #16

BNEZ R1 foo

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
37		Add1	No					
		Add2	No					
		Add3						
		Add4						
	15	Mul1	Yes	mul.d	R[F2]	R[F4]		
	5	Mul2	Yes	mul.d	R[F6]	R[F6]		
	14	Mul3	Yes	mul.d	R[F6]	R[F6]		
		Mul4	No					
		Int1	No					
		Int2	No					
		Int3	No					
		Int4	Yes	bnez	R[R1]	foo		
		Int5						

- η L.D δεν μπορεί να κάνει ακόμα WB λόγω conflict στο CDB

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
		Load1		Mul1	Mul3	

Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4-4	5
L.D	F4	R1	2	3	4	5-5	6
DIV.D	F6	F2	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F2	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	0	7	8	9		
S.D	F10	8	8	9	10	29-29	30
DADDI	R1	R1	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	0	11	12	13	14-14	15
L.D	F4	8	12	13	14	15-15	16
DIV.D	F6	F2	13	14	15	22-36	37
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F2	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29	37	
S.D	F8	0	17	18	30		
S.D	F10	8	18	19	31		
DADDI	R1	R1	19	20	32	33-33	34
BNEZ	R1	foo	20	21	33		
L.D	F2	0	21	22	34	35-35	36
L.D	F4	8	22	23	35	36-36	38
DIV.D	F6	F2	23	24	38		
MUL.D	F8	F6	24	25			
ADD.D	F6	F2	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	0	27	28			
S.D	F10	8	28	29			
DADDI	R1	R1	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
38		Add1	No					
		Add2	No					
		Add3						
		Add4						
	15	Mul1	Yes	mul.d	R[F2]	R[F4]		
	4	Mul2	Yes	mul.d	R[F6]	R[F6]		
	13	Mul3	Yes	mul.d	R[F6]	R[F6]		
	15	Mul4	Yes	div.d	R[F2]	R[F4]		
		Int1	No					
		Int2	No					
		Int3	No					
		Int4	Yes	bnez	R[R1]	foo		
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Mul4	Mul1	Mul3	



Instruction	j	k	IF	ID	IS	EX	WB
L.D	F2	R1	1	2	3	4-4	5
L.D	F4	R1	2	3	4	5-5	6
DIV.D	F6	F4	3	4	5	7-21	22
MUL.D	F8	F6	4	5	6	28	
ADD.D	F6	F4	5	6	7	8-11	12
MUL.D	F10	F6	6	7	8	13-27	28
S.D	F8	R1	7	8	9		
S.D	F10	R1	8	9	10	29-29	30
DADDI	R1	#16	9	10	11	12-12	13
BNEZ	R1	foo	10	11	12	14-14	15
L.D	F2	R1	11	12	13	14-14	15
L.D	F4	R1	12	13	14	15-15	16
DIV.D	F6	F4	13	14	15	22-36	37
MUL.D	F8	F6	14	15	23		
ADD.D	F6	F4	15	16	24	25-28	29
MUL.D	F10	F6	16	17	29	37	
S.D	F8	R1	17	18	30		
S.D	F10	R1	18	19	31		
DADDI	R1	#16	19	20	32	33-33	34
BNEZ	R1	foo	20	21	33		
L.D	F2	R1	21	22	34	35-35	36
L.D	F4	R1	22	23	35	36-36	38
DIV.D	F6	F4	23	24	38		
MUL.D	F8	F6	24	25			
ADD.D	F6	F4	25	26			
MUL.D	F10	F6	26	27			
S.D	F8	R1	27	28			
S.D	F10	R1	28	29			
DADDI	R1	#16	29	30			
BNEZ	R1	foo	30	31			

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	Yes	M[0+R1]	Mul2
Store2	No		
Store3	Yes	M[0+R1]	Mul1
Store4	Yes	M[8+R1]	Mul3
Store5			

foo: L.D	F2	0(R1)	
L.D	F4	8(R1)	
DIV.D	F6	F2	F4
MUL.D	F8	F6	F6
ADD.D	F6	F2	F4
MUL.D	F10	F6	F6
S.D	F8	0(R1)	
S.D	F10	8(R1)	
DADDI	R1	R1	#16
BNEZ	R1	foo	

### Res. Stations

Clock	Time	Name	Busy	Op	Vj	Vk	Qj	Qk
39		Add1	No					
		Add2	No					
		Add3						
		Add4						
	15	Mul1	Yes	mul.d	R[F2]	R[F4]		
	3	Mul2	Yes	mul.d	R[F6]	R[F6]		
	12	Mul3	Yes	mul.d	R[F6]	R[F6]		
	15	Mul4	Yes	div.d	R[F2]	R[F4]		
		Int1	No					
		Int2	No					
		Int3	No					
		Int4	Yes	bnez	R[R1]	foo		
		Int5						

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1
			Mul4	Mul1	Mul3	

■ ■ ■

Instruction		j	k	IF	ID	IS	EX	WB
L.D	F2	0	R1	1	2	3	4 - 4	5
L.D	F4	8	R1	2	3	4	5 - 5	6
DIV.D	F6	F2	F4	3	4	5	7 - 21	22
MUL.D	F8	F6	F6	4	5	6	28 - 42	43
ADD.D	F6	F2	F4	5	6	7	8 - 11	12
MUL.D	F10	F6	F6	6	7	8	13 - 27	28
S.D	F8	0	R1	7	8	9	44 - 44	45
S.D	F10	8	R1	8	9	10	29 - 29	30
DADDI	R1	R1	#16	9	10	11	12 - 12	13
BNEZ	R1	foo		10	11	12	14 - 14	15
L.D	F2	0	R1	11	12	13	14 - 14	15
L.D	F4	8	R1	12	13	14	15 - 15	16
DIV.D	F6	F2	F4	13	14	15	22 - 36	37
MUL.D	F8	F6	F6	14	15	23	43 - 57	58
ADD.D	F6	F2	F4	15	16	24	25 - 28	29
MUL.D	F10	F6	F6	16	17	29	37 - 51	52
S.D	F8	0	R1	17	18	30	59 - 59	60
S.D	F10	8	R1	18	19	31	53 - 53	54
DADDI	R1	R1	#16	19	20	32	33 - 33	34
BNEZ	R1	foo		20	21	33	35 - 35	36
L.D	F2	0	R1	21	22	34	35 - 35	36
L.D	F4	8	R1	22	23	35	36 - 36	38
DIV.D	F6	F2	F4	23	24	38	52 - 66	67
MUL.D	F8	F6	F6	24	25	44	68 - 82	83
ADD.D	F6	F2	F4	25	26	45	46 - 46	47
MUL.D	F10	F6	F6	26	27	53	58 - 72	73
S.D	F8	0	R1	27	28	54	84 - 84	<b>85</b>
S.D	F10	8	R1	28	29	55	74 - 74	75
DADDI	R1	R1	#16	29	30	56	57 - 57	59
BNEZ	R1	foo		30	31	57	60 - 60	61

	Busy	Address
Load1	No	
Load2	No	
Load3	No	
Load4	No	
Load5	No	

	Busy	Address	Qi
Store1	No		
Store2	No		
Store3	No		
Store4	No		
Store5	No		

```

foo: L.D      F2      0(R1)
      L.D      F4      8(R1)
      DIV.D   F6      F2      F4
      MUL.D   F8      F6      F6
      ADD.D   F6      F2      F4
      MUL.D   F10     F6      F6
      S.D     F8      0(R1)
      S.D     F10     8(R1)
      DADDI   R1      R1      #16
      BNEZ   R1      foo
  
```

### Res. Stations

Time	Name	Busy	Op	Vj	Vk	Qj	Qk
Clock 85	Add1	No					
	Add2	No					
	Add3						
	Add4						
	Mul1	No					
Mul2	No						
Mul3	No						
Mul4	No						
Int1	No						
Int2	No						
Int3	No						
Int4	No						
Int5							

### Reg. res.status

Qi	F2	F4	F6	F8	F10	R1